

Display system and circuit therefor

Patent Number: ☐ [US5867140](#)
Publication date: 1999-02-02
Inventor(s): RADER SHEILA M (US)
Applicant(s): MOTOROLA INC (US)
Requested Patent: ☐ [JP10187106](#)
Application Number: US19960758019 19961127
Priority Number(s): US19960758019 19961127
IPC Classification: G09G5/00
EC Classification: [G09G3/36C](#), [H04M1/02A2](#), [H04M1/73](#)
Equivalents: [CN1102281B](#), [CN1189737](#), ☐ [DE19751139](#), ☐ [FR2756404](#), ☐ [GB2319878](#), [KR260695](#)

Abstract

A display system includes a display panel (200) having a full display screen area (303) upon which images can be generated for viewing. An image control circuit (400, 501) controls the operation of the display panel such that only a partial display field, or area, (305) is controlled to generate images in a first operating mode to conserve power and the full display screen area is controlled to generate images in a second operating mode.

Data supplied from the esp@cenet database - I2

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-187106

(43) 公開日 平成10年(1998) 7月14日

(51) Int.Cl. ⁸	識別記号	F I
G 0 9 G 3/36		G 0 9 G 3/36
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133 5 0 5
G 0 9 G 3/20		G 0 9 G 3/20 U

審査請求 未請求 請求項の数10 F D (全 11 頁)

(21) 出願番号 特願平9-369870

(22) 出願日 平成9年(1997)11月20日

(31) 優先権主張番号 7 5 8 0 1 9

(32) 優先日 1996年11月27日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 シェイラ・エム・ラダー

アメリカ合衆国イリノイ州ワイルドウッド、
ノース・コープ・ロード33248

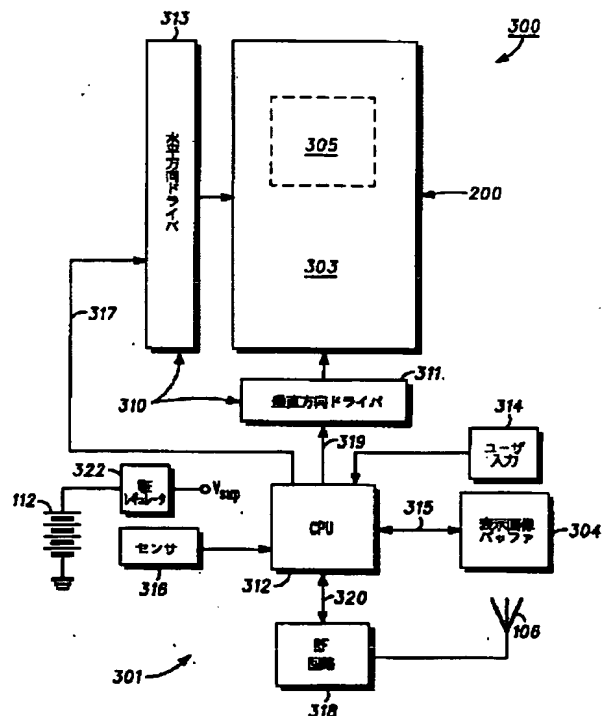
(74) 代理人 弁理士 大貫 進介 (外 1 名)

(54) 【発明の名称】 ディスプレイ・システムおよびその回路

(57) 【要約】

【課題】 消費電力の削減を図ったディスプレイ・システムを提供する。

【解決手段】 ディスプレイ・システムは、目視するために画像を発生可能な最大表示画面領域 (303) を有するディスプレイ・パネル (200) を含む。画像制御回路 (400, 501) は、第1動作モードでは部分的表示区域、即ち、領域 (305) にのみ画像を発生するように、ディスプレイ・パネルの動作を制御して電力を保存し、第2動作モードでは最大表示画面領域に画像を発生するように制御する。



【特許請求の範囲】

【請求項 1】ディスプレイ・システムであって：目視するために画像を発生可能な表示画面領域を有するディスプレイ；および前記ディスプレイの動作を制御する画像制御回路であって、第 1 動作モードにおいて部分的表示領域のみに画像を発生し電力を保存するように前記ディスプレイを制御可能とし、第 2 動作モードにおいて前記表示画像領域の全てに画像を発生するように前記ディスプレイを制御可能とする画像制御回路；から成ることを特徴とするディスプレイ・システム。

【請求項 2】前記画像制御回路は、前記部分的表示領域の画素制御信号を格納する第 1 バッファを含むことを特徴とする請求項 1 記載のディスプレイ・システム。

【請求項 3】前記第 1 バッファは、前記第 2 モードにおいて画像制御信号を画素走査コントローラに通過させ、前記第 1 動作モードにおいて前記部分的表示領域の画素制御信号を格納することを特徴とする請求項 2 記載のディスプレイ・システム。

【請求項 4】前記第 1 バッファはファーストイン・ファーストアウト・メモリであることを特徴とする請求項 3 記載のディスプレイ・システム。

【請求項 5】前記ファーストイン・ファーストアウト・メモリの出力を前記ファーストイン・ファーストアウト・メモリの入力に結合し、部分表示モードにおいて画素制御信号を巡回させるスイッチを更に含むことを特徴とする請求項 4 記載のディスプレイ・システム。

【請求項 6】前記部分的表示領域内に現れるべき画像の第 1 画素制御信号が前記ファーストイン・ファーストアウト・メモリの出力にある場合、前記スイッチは前記出力を前記入力に接続することを特徴とする請求項 5 記載のディスプレイ・システム。

【請求項 7】画素充填回路を更に含み、前記第 1 バッファの出力はスイッチを介して画素走査コントローラに接続され、前記スイッチは前記画素走査コントローラを前記第 1 バッファの出力および前記画素充填回路の出力の一方に選択的に接続し、前記画素充填回路は画素オフ信号を発生し、該画素オフ信号は前記部分的表示領域の位置およびサイズを選択するための前記画素走査コントローラの入力であることを特徴とする請求項 6 記載のディスプレイ・システム。

【請求項 8】請求項 1 記載のディスプレイ・システムを含むバッテリー型携帯装置であって：前記ディスプレイを含む前記第 1 ハウジング部；前記第 1 ハウジング部上に移動自在に載置され、開位置および閉位置間で移動する第 2 ハウジング部であって、前記閉位置において前記第 1 ハウジング部を少なくとも部分的に覆う前記第 2 ハウジング部；および前記第 1 および第 2 ハウジング部分が閉位置にあることに応答して、前記部分的表示領域のみに画像を表示する前記画像制御回路；から成ることを特徴とする携帯電池給電式装置。

【請求項 9】請求項 1 記載のディスプレイ・システムを含むバッテリー型携帯装置において、前記画像制御回路は画素走査コントローラを含み、該画像制御回路は、前記画素オフ信号の前記画素走査コントローラへの供給を制御し、前記表示画像領域の前記部分的表示領域周囲における画素の行および列をブランクとし、更にブランクとすべき画素の行および列を変更して、前記表示画像領域の前記部分的表示領域を前記表示画像領域の新しい領域に再配置することを特徴とするバッテリー型携帯装置。

10 【請求項 10】メモリと、画素オフ信号を出力する画素充填回路とを更に含み、前記画像制御回路は前記メモリおよび前記画素充填回路に結合され、前記画像制御回路は、前記メモリからの画素信号および前記画素オフ・データを選択的に結合する結合器を含み、該結合器は、全画像モードにおいて画素信号入力にて受信した画像シーケンスを出力し、部分画像モードにおいて画素オフ・データおよび前記メモリからの画素信号を出力することを特徴とする請求項 1 記載のディスプレイ・システム。

【発明の詳細な説明】

20 【0001】

【発明の属する技術分野】本発明は、ディスプレイに関し、更に特定すれば、ディスプレイ・パネルに印加する信号を制御する回路に関するものである。

【0002】

【従来の技術】液晶ディスプレイ（LCD）システムのようなディスプレイ・システムを実施する際、中央演算装置（CPU）、表示画像バッファ、およびディスプレイ・パネルを駆動するディスプレイ・ドライバが用いられてきた。大型画面の LCD ディスプレイでは、CPU は表示画像バッファからのデータをコピーし、このデータを画素毎にディスプレイ・ドライバに印加する。ドライバは、ディスプレイ・パネル上に電圧を生成し、特定の輝度および減衰率（decay rate）を有するようにディスプレイ・パネル上の画素を制御する。電圧を印加するプロセスは、繰り返し一定の時間間隔で行われ、当技術では「ディスプレイのリフレッシュ」として知られている。

30 【0003】小型パネル用ディスプレイ・システムが必要とする表示画像バッファは、大型ディスプレイ・パネルよりも、比例的に小さくなる。小型ディスプレイ・パネル用システムの多くは、ディスプレイ・パネルを制御するための論理回路と同じ集積回路（IC）内に表示画像バッファを実施している。かかるバッファは、内部バッファとして知られている。この手法では、表示画像バッファ用に外部メモリ素子を用いる場合よりも、電流ドレインが大幅に減少する。

【0004】

40 【発明が解決しようとする課題】しかしながら、集積型バッファによって駆動可能なディスプレイ・パネルのサイズは、IC 上の表示画像バッファに使用可能なダイ面

3

積によって限定される。この手法に伴う他の欠点に、内部表示画像バッファへのCPUアクセスが制限されることがあげられる。アクセスが制限されるため、ディスプレイが大きくなる程、CPUは、スクローリングの間にフリッカやヘジテーション(hesitation)を避け得る程高速に、内部表示画像バッファの内容を変化させる時間を得ることが一層困難になる。その結果、大型ディスプレイ・パネル用内部バッファを採用するディスプレイ・システムでは、円滑かつ一定にディスプレイ上で画像をスクロールすることが困難となる。

【0005】したがって、電流ドレイン特性を改善した、大型ディスプレイを制御システムを提供することが必要とされている。

【0006】

【課題を解決するための手段】本発明のディスプレイ・システムは、目視するために画像を発生可能な最大表示画面領域を有するディスプレイ・パネルを含む。画像制御回路は、第1動作モードでは部分的表示区域にのみ画像を発生するように、ディスプレイ・パネルの動作を制御して電力を保存し、第2動作モードでは最大表示画面領域に画像を発生するように制御する。

【0007】

【発明の実施の形態】装置100は、表示領域102、キーパッド104、アンテナ106、およびバッテリー112を含む。図示の装置100は携帯通信装置であり、更に特定すれば無線電話機である。しかしながら、本発明は、ページャ、双方向無線機、計算機、携帯コンピュータ、パーム・トップ・コンピュータ、個人デジタル・アシスタント(PDA: personal digital assistant)、ビデオ・レコーダ等のような、ディスプレイを内蔵した他の装置にもその応用を見出すことができ、ここで用いる「装置」とは、これらおよびその同等物の各々を含むものとする。

【0008】装置100のハウジング107は、カバーとして示されているハウジング部108、および本体として示されているハウジング部110を含む。ハウジング107は、開位置(図1)および閉位置(図2)間を移動する。カバー108および本体110は、蝶番、摺動を容易にするレール・アセンブリ等のような、いずれかの適切なコネクタによって移動自在に相互接続されている。ハウジング107を開くと、ディスプレイ・パネル200の全目視領域がユーザに露出される。カバー108の表示領域102は、カバー108が開いている間ディスプレイ・パネル200の少なくとも一部の目視を可能にする透過性ポリマ素子のようなレンズ、または開口によって与えることができる。レンズはカバーが開じられるときにディスプレイ・パネル200の表面を保護するので、レンズの方が好ましい。装置100は、カバー108内に磁石202を、更に本体110内にリード・スイッチ(reed switch)204を含む。磁石およびリ

4

ード・スイッチは、ハウジング107の開位置および閉位置を検出するセンサを形成する。このセンサは、いずれかのホール効果素子、機械的スイッチ、光学素子等によって実施することができ、ここで用いる「センサ」という用語は、これらおよびその同等物を意味するものとする。

【0009】ディスプレイ・システム300(図3)

は、本体110内に収容されている。概略的に、ディスプレイ・システム300は、ディスプレイ・パネル200に結合されているディスプレイ制御回路301を含む。図示のディスプレイ・パネル200は、最大表示画面領域303を有し、これはディスプレイ・パネル画面の全目視可能領域となっている。また、部分的表示区域305も含むが、最大表示画面領域303内部にあり、これよりも小さい。部分的表示区域305は、表示画面のいずれの領域にも位置することが可能であり、移動させたり、そのサイズを変化させることも可能である。これについては、以下で更に詳細に説明する。ディスプレイ・パネル200は、グラフィック機能を有することができる。ディスプレイの一例として、各画素毎に4ビット制御信号によって与えられる15レベルのグレイ・スケールを有するものがあげられる。また、ディスプレイの一例には、表示領域が192画素x272画素の最大液晶ディスプレイ(LCD)パネル画面を有し、ピッチが120ドット/インチのものがある。しかしながら、ディスプレイのサイズは重大ではなく、当業者は、ディスプレイ・パネルには他のサイズもあり得ることを認めよう。ディスプレイ・パネル200は、商業的に入手可能なもののような、いずれかの従来からのディスプレイ・パネルによって実施可能である。また、ディスプレイ・パネル200は、単一ラインまたは多ライン・ディスプレイ、白黒またはカラーとすることも可能である。

【0010】ディスプレイ・システム300は、ディスプレイ制御回路301およびディスプレイ・パネル200から成る。ディスプレイ制御回路301は、表示画像バッファ304に結合されている中央演算装置(CPU)312およびディスプレイ・ドライバ310から成る。ディスプレイ・ドライバ310は垂直方向即ち列ドライバ311、および水平方向即ち行ドライバ313を含む。ドライバ311、313は、CPU312からの信号に応答して、ディスプレイ・パネルの列および行に印加される電圧を制御する。これらのドライバは、Sharp Corporationによって製造されているもののような、商業的に入手可能ないずれかの適切なドライバによって実施可能である。

【0011】表示画像バッファ304は、ディスプレイ・パネル200の画像を格納する。表示画像バッファ304は、必要な画素数を格納できる程十分に大きく、ディスプレイ・パネル200の全領域に画像を描く(render)ことができる。表示画像バッファ304の容量をバイ

トで表した場合、以下の式で決定することができる。

$$\text{バイト} = G * x * y / 8$$

ここで、バイトはメモリ容量(バイト)、Gは画素当たりのビット数(1=白黒、2=4レベル・グレー・スケール、4=15レベル・グレー・スケール)、xは一水平線上の画素数、yは一垂直線上の画素数である。例えば、192画素列、272画素行、および15レベルのグレー・スケールを有するディスプレイでは、ディスプレイ・パネル200の全領域にわたる画像を発生するために必要な全メモリは、26、112バイトとなる。部品数を少なくするために、2メガバイトの容量を有するDRAMを用いてこのバッファを実施し、バッファをこのメモリの一部とすることができる。DRAMの残りは、ディスプレイとは関係のない他の目的に使用可能である。表示画像バッファ304は、CPU312に容易にアクセス可能であり、アイコンのようなオブジェクトのスクローリングのような動的な移動や、リアル・タイムのプロット動作を可能にする。

【0012】表示画像バッファ304は、データ・バス315によって中央演算装置(CPU)312に接続されている。CPU312は、ディスプレイ・パネル200の最大表示画面領域303上に表示する画像を、表示画像バッファ304に格納する。画素毎に4ビット制御信号が、CPU312によって表示画像バッファ304から順次コピーされ、ディスプレイ・ドライバ310に印加される。CPU312は、いずれかの商業的に入手可能なコントローラ、マイクロプロセッサ、またはデジタル信号プロセッサ(DSP)を用いて実施すればよい。

【0013】CPU312はユーザ入力314から入力を受信する。ユーザ入力314は、ディスプレイ・パネル200用タッチ・パッド(図示せず)、キー・パッド104、またはその他の装置上のキー、マイクロフォン(図示せず)等を含むことができる。また、CPU312はセンサ316からも入力を受信する。センサ316は、リード・スイッチ304、周囲光センサ(図示せず)等を含むことができる。また、CPU312は、ソフトウェアで実施したセンサも含むことができ、CPUの動作(activity)を監視し、ステータス情報を供給する。ここで用いられるセンサは、CPU内部または外部のかかるセンサ全て、およびそれらの同等物を含むものとする。

【0014】これらのセンサの1つがリード・スイッチ204であり、これは、カバー108が開いているときに閉じ、カバー108が閉じているときに開く。リード・スイッチ204は、閉じている場合に、電圧をCPU312に接続する。リード・スイッチ204が開いているのは、カバー108上の磁石がリード・スイッチ204から遠く離れているときである。こうして、カバー108が開いている場合、電圧はリード・スイッチからC

PU312に印加され、カバー108が閉じているときには印加されない。このように、CPU312は、リード・スイッチに応答して、カバー108が開いているかあるいは開いているかについて検出を行う。

【0015】また、CPU312は不動作状態(inactivity)を検出する内部センサ(図示せず)も有する。CPU312は、所定の時間ユーザ入力314およびRF回路318から入力を受信しないと、CPU312はスリープ・モードに入ることができる。

10 【0016】CPU312はこれらのセンサ316に回答してディスプレイ・パネル200を制御し、プロセッサの不動作状態のために電話機が「スリープ・モード」に入った場合、または電話機がアクティブでありカバー108が閉じている場合に、部分的表示区域305にのみ画像を表示する。最大表示モードは、カバー108を開いたときに自動的に活性化することができ、部分表示モードは、センサからの入力に回答してカバー108が閉じられたときに自動的に活性化することができる。

20 【0017】CPU312は、バス317、319によって、ディスプレイ・ドライバ310に結合されている。ディスプレイ・ドライバ310は、水平方向ドライバ313および垂直方向ドライバ311を含む。水平方向ドライバ313は、ディスプレイ・パネル200上の画素の行への電圧入力を制御する。垂直方向ドライバ311は、ディスプレイ・パネル200の画素の列への電圧入力を制御する。垂直方向ドライバ311および水平方向ドライバ313は、商業的に入手可能ないずれかの適切なドライバを用いて実施可能である。これらのドライバは、CPU312から画素制御信号を受信し、ディスプレイ・パネル200に並列制御信号を出力する。

【0018】ディスプレイ・システム300に加えて、図示の携帯通信装置は、アンテナ106に結合され、基地局(図示せず)との通信を行う無線周波数(RF)回路318も含む。RF回路318は、双方向通信バス320を通じてCPU312と通信し、アンテナ106を通じて基地局(図示せず)と通信する。RF回路318およびアンテナ106は、商業的に入手可能ないずれかの適切な無線周波数回路を用いて実施可能である。

40 【0019】ディスプレイ・システム300は、バッテリー112による給電を受ける。バッテリー電圧は、電圧レギュレータ322によって規制される。当業者は、ディスプレイ・システム300によって引き出される電力量は、電池112を枯渇させるのに要する時間量に影響を与えることを認めよう。したがって、ディスプレイ・システム300の電力消費を減らすことによって携帯装置100の電力消費を抑え、電池のサイズを増大させることなく、電池が枯渇するまでに要する時間の延長を図ることが望ましい。

50 【0020】次に図4を参照すると、図3のCPU312は、ダイレクト・メモリ・アクセス(DMA)チャネ

ル406、制御回路409、先入れ先出し(FIFO: first-in-first-out)メモリ416、および画素充填回路418を有する画像制御回路400を含む。制御回路409は、入力スイッチ414、出力スイッチ420、および状態制御およびタイミング・ロジック422を含む。DMAチャンネル406は、表示画像バッファから画素制御信号をコピーする。CPU312の中核(core)がディスプレイを処理する以外の動作にデータ・バス315を使用しない間、DMAチャンネル406は、表示画像バッファ304からの4ビット画素制御信号を順次コピーし、これらを入力スイッチ414にロードする。DMAチャンネル406は、表示画像バッファ304、データ・バス315およびFIFOメモリ416の幅と一致するビット幅を有することが好ましい。幅の広いバスを用いる程、画像のために画素制御信号を読み出すためのフェッチの全回数が減少するため、CPU312が画像をロードするためまたはその他の目的のためにメモリにアクセスする機会が増えることになる。これによって、円滑な画像のスクロールを実現する可能性を最大に高めることができる。

【0021】入力スイッチ414は、DMAチャンネル406の出力からの連続画素制御信号を受信するように接続されている入力接点426を有する。他の入力接点428は、FIFOメモリ416の出力を受信するように接続されている。制御入力432は制御信号を受信し、これにตอบสนองして入力接点426または入力接点428が選択され、出力スイッチ420の出力430に接続される。入力スイッチ414は、論理ゲートを用いたデジタル・スイッチ、トランジスタ素子を用いたアナログ・スイッチ、電磁スイッチ、CPU312の中核におけるソフトウェア・コマンド等のような、いずれかの適切なスイッチング素子を用いて実施可能である。

【0022】FIFOメモリ416は、入力431において、出力スイッチ414の出力からの連続画素制御信号を受信する。FIFOメモリ416は、入力431において受信したのと同じ順序で、出力433に信号を出力する。FIFOメモリ416は「n」カ所の位置を含み、このnは部分表示動作モードにおいて用いられる、ディスプレイ・パネルの画素数に等しく、部分的表示区域305内の画素数である。例えば、FIFOメモリ416内の各画素制御信号は、15レベルのグレー・スケールを有する画素に関連する4ビットで構成される。部分的表示区域即ち領域305が120画素を有する場合、FIFOメモリ416には、各々4ビットの位置が120カ所ある。画素毎に使用する画素制御信号を1ビットにすると、120画素に画像を発生するためには、FIFOメモリ416は120カ所に1ビットづつ格納すればよいので、一層のメモリ・サイズ節約が達成可能である。カバー108が閉じている場合の画像は、白黒画像が適しているテキストや電話番号のような英数字で

あるので、この場合には白黒画像を発生すればよいことは想像されよう。

【0023】FIFOメモリ416は、安定した連続画素データ・ストリームが確実に画素走査コントローラ424に得られ、ディスプレイ・パネル200上の画像にフリッカが発生しないことを保証するために用いられる。DMAチャンネル406は、表示画像バッファ304およびデータ・バス315に対するアクセス特権をCPU312の中核と共有し、データ・チャンネルに対するアクセスを有する間のみ、画素制御信号を移動する。DMAチャンネル406は、画素走査コントローラ424がこれらアクセス期間の間FIFOメモリ416の内容を読み出すよりも高いレートで、FIFOメモリ416にロードする。このように、FIFOメモリ416にロードすることによって、最大表示動作モードにおける画素(pixel element)を一時的に格納し、アンダーラン(under-run)の発生を防止する。アンダーランが発生するのは、バッファに画素走査コントローラ424が読み出すための十分なサンプルがロードされていない場合であり、そのために画素走査コントローラ424が画素を無視し、その結果、スクローリングの間に飛ばし(jumping)や画像のフリッカが発生する。いずれかの理由でDMAチャンネルが画素制御信号を適宜供給できない場合、入力スイッチ414によってFIFOメモリ416の出力を入力431に再巡回させることができる。

【0024】部分画像表示モードでは、入力スイッチ414は位置bに保持され、入力接点428は出力430に接続されている。この状態では、FIFOメモリ416の内容を巡回させることができ、一方DMAチャンネル406、およびオプションとして表示画像バッファ304はディゼーブルされる(給電を停止される)。このため、部分表示モードでは、かなりの電力節約となる。したがって、部分表示動作モードでは、FIFOメモリ416は部分画像の画素制御信号を全て格納する。

【0025】出力スイッチ420は入力スイッチ414と同一である。これは、FIFOメモリ416の出力433に接続されている入力接点440、画素充填回路418に結合されている入力接点442、および画素走査コントローラ424に接続されている出力444を含む。出力スイッチ420の位置を制御する制御信号は、制御入力446に入力される。

【0026】画素充填回路418は、全て同一の値を有する画素サンプルの連続ストリームを供給する。各画素の値は、画素をオフ状態にするように選択されており、ディスプレイ・パネル200上の部分的表示区域305の外側のディスプレイの行および列では、ブランク画像となる。データ・フリップ・フロップ460は、CPUデータ・バスに接続されているデータ入力を有し、このバスから論理0信号および論理1信号を受信する。データ・フリップ・フロップ460は、データ入力にCPU

データ・バスに接続されており、このCPUデータ・バスから論理0信号および論理1信号を受信する。データ・フリップ・フロップ460のクロック入力レジスタ・クロック・レートを設定し、この入力はCPUに接続され、これにライト・イネーブル信号を供給する。データ・フリップ・フロップ460は、このデータ・フリップ・フロップ460自体のD入力における論理レベルを制御することによって、ディスプレイ・パネル200の画素に論理オフ信号を生成する必要に応じて、0、1またはその組み合わせのシーケンスを出力するようにプログラムされている。画素オフ信号を出力するレートは、レジスタ・クロック・レートによって制御され、あらゆる商業的に入手可能なディスプレイ・パネルの必要条件に応じて、画素充填回路418を制御即ち「プログラム」可能となっている。

【0027】実際のサンプル値は、異なるタイプのLCDドライバ回路に対処するようにプログラム可能である。画素充填回路418は、論理0のような画素オフ信号を格納するレジスタによって実施可能である。この論理0は各クロック・パルス毎にドライバに出力される。また、レジスタは上述のようなクロック駆動型フリップ・フロップ、クロック駆動型レジスタ等とすることもできる。

【0028】状態制御およびタイミング・ロジック422は、DMAチャネルおよび画素走査コントローラ424にタイミング信号を発生するロジックを備え、入力スイッチ414および出力スイッチ420の適切なタイミングでの切り替えを調整する。タイミング状態制御およびタイミング・ロジック422は、入力スイッチ414および出力スイッチ420を制御することによって、部分表示モードにおいて用いられる表示画像のサイズおよびアスペクト比、ならびにアクティブな動作モードの選択を制御する。状態制御およびタイミング・ロジック422は、CPU312の中核、中核の外側にあるレジスタ等により実施可能である。画素走査コントローラは、例えば、16バイトを格納する小型のFIFOバッファ（図示せず）を含むことも可能である。

【0029】画素の走査は、画素走査コントローラ424によって制御される。画素走査コントローラ424は、出力スイッチ420の出力444に供給される画素情報を、水平方向ドライバ313および垂直方向ドライバ311に印加するための信号に変換する。変換プロセスは、符号化画素データをデューティ・サイクル（オン時間／オフ時間）を制御するために用いられる画素信号のグレー・スケールに変換すること(gray scale interpolation)を含む。画素走査コントローラ424を実施するには、商業的に入手可能なコントローラ等のような、あらゆる従来からの画素走査コントローラが使用可能である。

【0030】動作において、ディスプレイ・システム3

00は、部分表示モードで動作する場合、部分的表示区域305のみが画像を表示し、最大表示モードではディスプレイ・パネル200の最大表示画面領域303が画像を表示する。ディスプレイ全体を占める画像は、表示画像バッファ304に格納される。表示領域の一部のみを占める小さい画像は、部分表示モードの開始直前に、FIFOメモリ416にロードされる。

【0031】FIFOメモリ416の画像は二次元アレイであり、アレイ内の各素子が画素を表わす。アレイ内の画素は、15階調までのグレーを表わすことができる。これらの説明の目的のために、CPU312は表示画像バッファ304へのアクセスが準備されており、バッファ内に含まれる画像は既知の技法にしたがって適正に符号化されているものとする。

【0032】最大表示モードでは、入力スイッチ414は入力接点426および出力430を接続し続ける。DMAチャネル406は、表示画像バッファ304にアクセスし、8ビット・ワードまたは16ビット・ワード群に組織化された画素信号を、入力スイッチ414を通じてFIFOメモリ416の入力に送出するために用いられる。8ビット・ワードがロードされる場合、画素信号は2つずつ並行にロードされる。16ビット・ワードがロードされる場合、画素信号は4つずつ並行にロードされる。FIFOメモリ416の半分が空になる毎に、DMAチャネル406は表示画像バッファ304から追加のサンプルを読み出し、FIFOメモリ416が満杯になるまで、これらのワードをFIFOメモリ416に書き込むように指示される。このように、DMAチャネル406は、FIFOメモリ416に十分なデータをロードし、フリッカの発生を回避する。DMAチャネル416には、画像バッファからのサンプルに直線的かつ連続的にアクセスし、これらのサンプルを連続的に順序正しくFIFOメモリ416に提示するための適切なロジックが設けられている。

【0033】最大表示動作モードの間、状態制御ロジックは、出力スイッチ420を位置aに切り替え、入力接点440を出力444に接続する。DMAチャネル406によってFIFOメモリ416にロードされたサンプルは、画素走査コントローラ424が各サンプルをFIFOメモリ416から連続して読み出すに連れて、FIFOメモリ416の外側に向かって進んでいく。

【0034】画素走査コントローラ424は、状態制御およびタイミング・ロジック422からタイミング・クロック信号を受信し、このクロック信号を用いて、FIFOメモリ416からの並列画素ワードを画素集合の連続ストリームに変換し、それぞれ、水平方向ドライバ313および垂直方向ドライバ311を通じて、ディスプレイ・パネル200の行および列にこれら連続ストリームを印加する。グレー・スケール処理用に符号化された画素は、符号化画素データのデューティ・サイクルを制

御することにより、指定された値に適したグレーの階調、色合い(shade of gray)が表現されるように処理される。これは当技術では既知である。グレーの中間階調は、数フレームについて画素オン対画素オフ比を変えることによって生成する。ディスプレイのコントラストは、周囲光センサおよび周囲温度検出器にตอบสนองして供給電圧を変化させることによって得られ、これによって室内光および室外光(indoor and outdoor lighting)に対して最良のコントラストを表現することは当業者には認められよう。加えて、画素走査コントローラ424は、画素の新しい水平線が出力されている場合、またはディスプレイ・パネル200の最下部に達し、走査プロセスを最上部から再開する場合に、水平方向ドライバ313および垂直方向ドライバ311に通知するようにプログラムされている。部分表示モードは、入力スイッチ414をFIFOメモリ416の出力に接続し、FIFOメモリ416の内容を再巡回させることによって活性化する。入力スイッチ414は、部分表示モードの間、この位置に留まる。こうして、FIFOメモリ416の内容は、体系的に画素走査コントローラ424にコピーされつつ、再巡回される。このモードは、DMAチャネル406を動作させる必要性、および大きな表示画素バッファ304に繰り返しDMAアクセスを行う必要性をなくすることができる。したがって、DMAチャネル406および表示画像バッファ304への給電を停止することができるので、その結果電力消費を大幅に削減することになる。

【0035】部分的表示区域305の最上部に表示される最初の行の最初の画素がFIFOメモリ416の出力にあるとき、入力スイッチは入力接点426から入力接点428に切り替えられる。これによって、表示すべき画像を再巡回させること、および所望の部分表示モード画像が正しいことを確認する。

【0036】水平方向寸法の垂直方向寸法に対する比である画像のアスペクト比は、状態コントローラに設けられているロジックによって決定される。出力スイッチ420は、画素走査コントローラ424がディスプレイ・パネル200の未使用部分を走査している期間、入力接点442を画素充填回路418に接続するように制御される。したがって、部分表示モードの間、出力スイッチ420は画素オフ信号を部分画像画素制御信号に結合する結合器として作用し、ディスプレイ・パネル200の表示画面領域全てを制御する。出力スイッチ420に代わって、FIFOメモリ416のソフトウェア制御や、適切な順序で共通バスに信号を挿入する画素充填回路418等のような、他の結合器も使用可能である。

【0037】結合器、即ち、出力スイッチ420の使用によって、部分的表示区域305の外側領域が、画素オフ制御信号である画素充填ビットで制御されることが保証される。画素オフ信号を用いてディスプレイを走査

し、AC信号があらゆる動作条件の下で全ての画素に印加されることを保証することによって、プラズマの影響による損傷からディスプレイ・パネル200を保護する。画素走査コントローラ424およびドライバ311、313は、ディスプレイ・パネルに交流電圧を供給し、AC電圧が常にディスプレイ・パネル200に印加されるのを保証することを当業者は認めよう。

【0038】部分表示モードは、ディスプレイ・システム300によって引き出される電力を削減することによって、エネルギーの保存を図る。画素オフ・コードが、ディスプレイの未使用部分において走査され、未使用部分がブランクのままとなることを保証する。部分的表示領域のサイズは、FIFOメモリ416のサイズおよび単一画素(即ち、グレー・スケール)を表わすために用いられるビット数によって決定される。部分表示モードでは1ビットの画素ワード(白黒)を用いてメモリを大幅に節約することが好ましい。何故なら、部分表示モードで表示される情報は、主に電話番号やテキスト情報であり、白黒ディスプレイに適しているからである。ブランク行および列の制御ならびにFIFOメモリ416の画素の挿入によって、部分的表示区域305の位置を制御する。部分表示モードにおいて、画素オフ信号のFIFOメモリ416の内容との組み合わせを制御することによって、発生する画像は、ディスプレイのどの領域にでも配置可能である。ディスプレイの残り部分の行および列をオフに制御することにより、電力消費を削減する。

【0039】別の画像制御回路501は、部分画像メモリ500(図5)および制御回路509を含む。部分画像メモリ500には、データ・バス315上にある、CPU312からの部分画像信号がロードされる。部分画像メモリ500は、スタティック・ランダム・アクセス・メモリ(SRAM)のような、いずれかの最適なメモリ素子を用いることによって実施可能である。

【0040】動作において、CPU312は、部分表示モードの開始時に、データ・バス315を通じて、部分的表示区域305の画素制御信号を部分画像メモリ500にロードする。入力スイッチ414の入力接点428は、部分画像メモリ500の出力に接続される。次に、部分画像が、出力スイッチ420を通じて、画素走査コントローラ424に入力される。各クロック信号毎に部分画像メモリへのアドレス入力を増加させることにより、画素制御信号を連続的に順序正しく読み出す。例えば、SRAMは、各々32ビットの512カ所の位置に組織化することができる。各素子は、信号の二進桁を格納する。1ビット/画素モード(即ち、白黒処理)では、これはアレイ素子当たり1画素に対応する。4ビット・グレー・スケールを採用した場合、表現可能な画像は1/4に減少する。部分的表示区域305の外側の表示領域をブランクにするために、画素走査コントローラ424がブランクにすべき行および列の画素制御信号を

読み出すときに、出力スイッチ420の出力444を入力接点442に接続することにより、画素走査コントローラ424は適切な時点において画素オフ信号を受信する。画素オフ信号によって制御する行および列を選択することによって、部分的表示区域305は最大表示画面領域303のいずれの領域にも配置可能となることを、当業者は認めよう。

【0041】画素走査コントローラ424は、部分画像メモリ500にアクセスするためのDMAチャネル（図示せず）、および部分画像メモリ500の内容を読み出す際に用いる小型FIFOバッファ（図示せず）を含むことができる。データ・バス315は、例えば、16ビット幅とすることができ、疑似DMAチャネルは一度に8個の16ビット・ワードを取り込み、小型FIFOバッファにコピーすることができる。画素走査コントローラ424はそれに応答して、垂直方向ドライバ311および水平方向ドライバ313を制御し、部分表示モードの間画像を表示する。

【0042】このように、ディスプレイ制御回路301は、ディスプレイ・パネル200の表示画面全体の画像を制御するための画素制御信号を格納するのに十分な容量を有する第1表示画像バッファ304を含む。第2表示画像バッファ、即ち、FIFOメモリ416または部分画像メモリ500は、部分的表示区域305の画像を保持する容量を有する。第2表示画像バッファは、第1表示画像バッファよりも小さい。状態制御およびタイミング・ロジック422は、入力スイッチ414および出力スイッチ420の動作を制御し、画面の画像源を、第1表示画像バッファから第2表示画像バッファに、同期を取りつつ切り替える。画素充填回路418は、部分的表示区域305の外側の表示部分をオフに制御する画素オフ信号を格納する。

【0043】画素オフ信号値は、ディスプレイ・ドライバ310およびディスプレイ・パネル200の必要条件を満たすように選択可能である。加えて、出力スイッチ420は、別の行および列をブランクにするように制御し、部分的表示区域305の位置を変更することも可能である。ブランク列および行を変更することにより、第2バッファから供給される部分的表示区域305は、表示画面の異なる領域に配置することが可能となる。

【0044】以上のように、部分表示モードは大幅な電力節約を可能とするが、これは特に電池給電型装置には重要である。この電力節約は、最大表示動作モードにおけるディスプレイ・システムの動作に有害な影響を与えることなく行うことができる。

【図面の簡単な説明】

【図1】閉じた位置にある装置を示す正面、平面および側面斜視図。

【図2】開いた位置にある図1の装置を示す正面、平面および側面斜視図

【図3】図1の装置内の回路を示すブロック図状回路構成図。

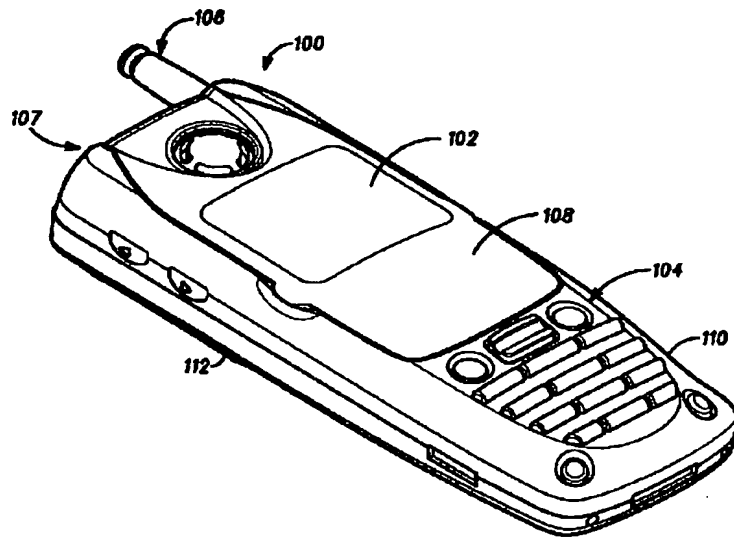
【図4】図3の回路の一部を示すブロック図状回路構成図。

【図5】図4の回路の他の実施例を示す回路構成図。

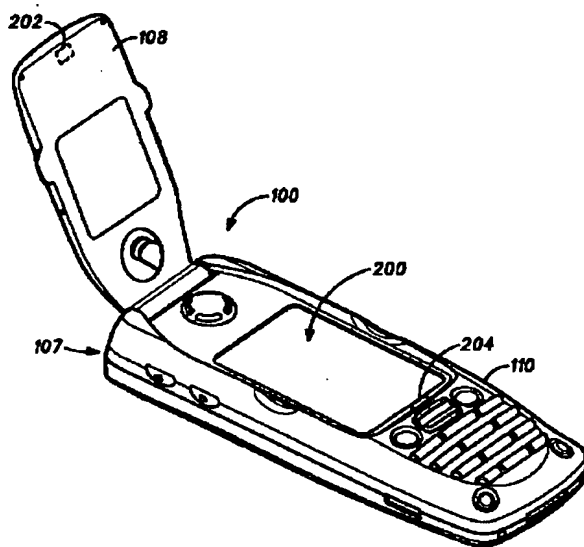
【符号の説明】

	1 0 0	装置
10	1 0 2	表示領域
	1 0 4	キーパッド
	1 0 6	アンテナ
	1 0 7	ハウジング
	1 0 8	カバー
	1 1 0	本体
	1 1 2	バッテリー
	2 0 0	ディスプレイ・パネル
	2 0 2	磁石
	2 0 4	リード・スイッチ
20	3 0 0	ディスプレイ・システム
	3 0 1	ディスプレイ制御回路
	3 0 3	最大表示画面領域
	3 0 4	表示画像バッファ
	3 0 5	部分的表示区域
	3 1 0	ディスプレイ・ドライバ
	3 1 1	垂直方向ドライバ
	3 1 2	中央演算装置（CPU）
	3 1 3	水平方向ドライバ
	3 1 5	データ・バス
30	3 1 6	センサ
	3 1 8	RF回路
	3 2 2	電圧レギュレータ
	4 0 0	画像制御回路
	4 0 6	ダイレクト・メモリ・アクセス（DMA）チャネル
	4 0 9	制御回路
	4 1 4	入力スイッチ
	4 1 6	先入れ先出しメモリ
	4 1 8	画素充填回路
40	4 2 0	出力スイッチ
	4 2 2	状態制御およびタイミング・ロジック
	4 2 4	画素走査コントローラ
	4 2 6, 4 2 8	入力接点
	4 6 0	データ・フリップ・フロップ
	5 0 0	部分画像メモリ
	5 0 1	画像制御回路
	5 0 9	制御回路

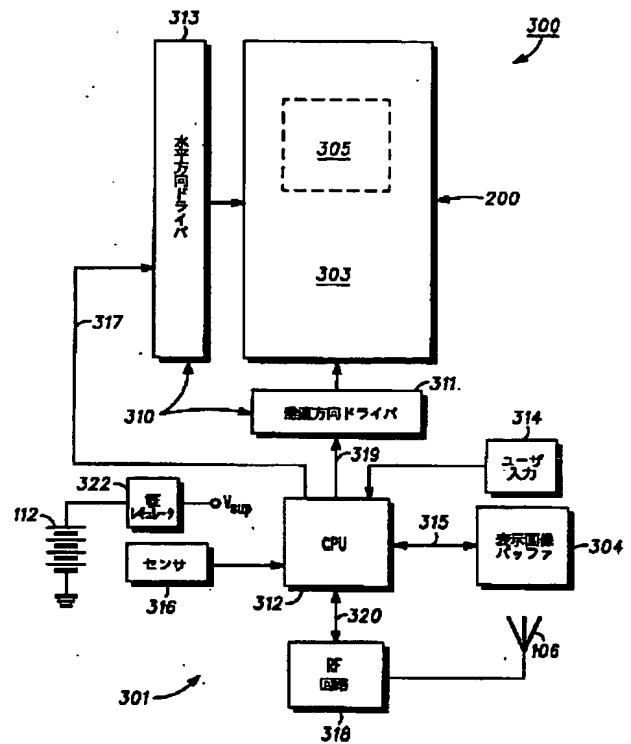
【図1】



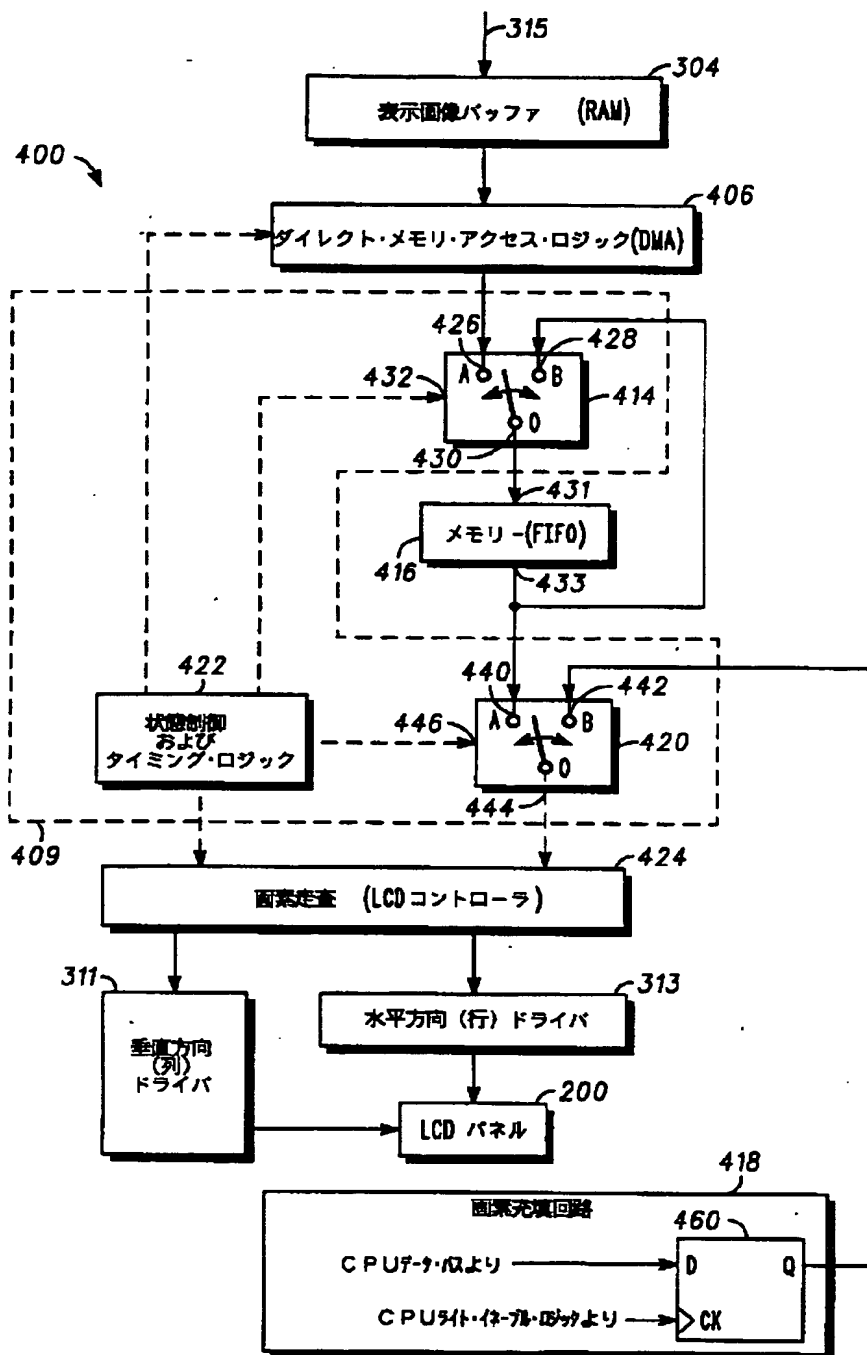
【図2】



【図3】



【図4】



【図5】

